

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-119253

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.⁶

G 0 2 F 1/136

H 0 1 L 29/786

識別記号

5 0 0

F I

G 0 2 F 1/136

H 0 1 L 29/78

5 0 0

6 1 2 A

審査請求 未請求 請求項の数3 O L (全 7 頁)

(21) 出願番号

特願平9-285380

(22) 出願日

平成9年(1997)10月17日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 藤井 真一

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

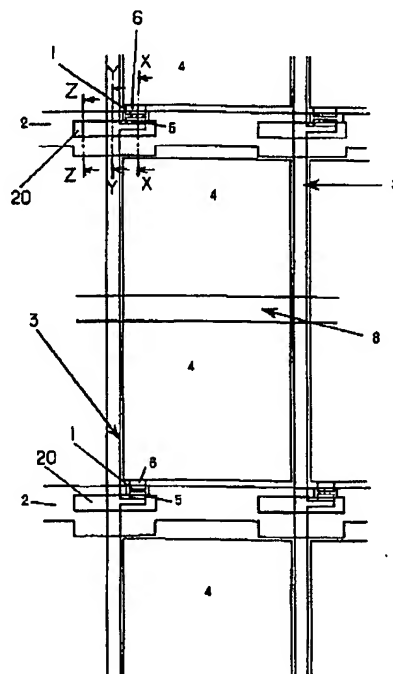
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置およびその欠陥修正方法

(57) 【要約】

【課題】 ゲート配線にTFTが構成されているアクティブマトリクス型液晶表示装置において、輝点となっている欠陥を容易に修正できる構成およびその修正方法を提供するものである。

【解決手段】 各画素電極4には、これを表示駆動するTFT1が接続されている。TFT1のドレイン電極6と画素電極4が接続され、ソース電極5はソース配線3と接続されている。なお、TFT1はゲート配線2上に形成されている。ゲート配線2はソース配線3との交差部付近で開口部20を有している。この開口部20の領域にはTFT1のソース電極5の一部、ソース配線3などが存在している。欠陥が生じたとき、開口部20またはTFT1をレーザー照射することにより、容易に輝点となっている欠陥を修正することができる。



【特許請求の範囲】

【請求項1】 基板上に設けられた複数の走査配線と、前記走査配線と直交するように構成された複数の信号配線と、前記走査配線と前記信号配線との交差部近傍にスイッチング素子が設けられ、画素電極が前記スイッチング素子のドレイン電極に接続されたアクティブマトリクス型液晶表示装置において、前記走査配線と前記信号配線との交差部で、前記信号配線を挟んで両側の領域に開口部を有する前記走査配線が形成され、前記開口部は絶縁膜に覆われ、前記絶縁膜に覆われた前記開口部の領域には、前記スイッチング素子の一部または前記信号配線に覆われている箇所が存在することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 請求項1に記載のアクティブマトリクス型液晶表示装置の欠陥修正方法であって、前記スイッチング素子の特性不良、または前記スイッチング素子近傍の前記走査配線と前記信号配線との交差部で欠陥が生じたとき、または前記信号配線と前記画素電極との間で欠陥が生じたとき、前記開口部の前記スイッチング素子側の領域にある前記走査配線を、前記開口部の両側で切断し、前記切断された走査配線を介して、前記信号配線と前記画素電極を接続することを特徴とするアクティブマトリクス型液晶表示装置の欠陥修正方法。

【請求項3】 請求項1に記載のアクティブマトリクス型液晶表示装置の欠陥修正方法であって、非スイッチング素子側で前記走査配線と前記信号配線との交差部で欠陥が生じたとき、前記開口部の前記非スイッチング素子側の領域にある前記走査配線を、前記開口部の両側で切断することを特徴とするアクティブマトリクス型液晶表示装置の欠陥修正方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばコンピュータやテレビなどのディスプレイに利用され、表示用の画素電極にスイッチング素子を介して駆動信号を印加することにより、表示を行うアクティブマトリクス型液晶表示装置に関するものである。

【0002】

【従来の技術】図7に、スイッチング素子として薄膜トランジスタを備えたアクティブマトリクス型液晶表示装置のアクティブマトリクス基板の等価回路図を示す。このアクティブマトリクス基板は、マトリクス状に形成されたスイッチング素子である薄膜トランジスタ（以下、TFTと呼ぶ）1と、各TFT1に対応して、マトリクス状に形成された複数の画素電極4と、これらの行方向および列方向に対応して直交するように形成された走査配線であるゲート配線2および信号配線であるソース配

線3とを有している。

【0003】ここで、ゲート配線2は、その上に構成されたTFT1のゲート電極10を兼ね、それに走査信号を与えることによりTFT1を駆動制御する。一方、ソース配線3は各TFT1のソース電極5に接続され、TFT1の駆動時にTFT1を介してデータ信号を画素電極4に与える。また、TFT1のドレイン電極6は画素電極4および付加容量7の一方の端子に接続され、付加容量7のもう一方の端子は付加容量配線8に接続され、対向基板上的対向電極に接続される。

【0004】

【発明が解決しようとする課題】ところで、高精細な液晶表示装置を製造しようとした場合、画素電極を小さくして画素電極数を増やさなくてはならない。それとともに、TFTも小さくして数を増やさなくてはならない。こうなると、アクティブマトリクス基板の製造において、製造装置の精度やダストなどの理由で、TFTの特性不良、画素電極と各配線、配線間どうしの電氣的リークが起こる可能性が高くなる。液晶表示装置として点灯した場合、点欠陥あるいは線欠陥として見え、表示品位上好ましくない。

【0005】ノーマリーホワイトのアクティブマトリクス型液晶表示装置において、信号配線の信号が画素電極に正常に伝わらない場合、輝点となって見え、表示目立ってしまう。この欠陥の修正方法は、リーク箇所を特定し、レーザー照射によりその部分を切断するという方法をとっている。

【0006】しかし、この欠陥は場所的には表示画面の周辺部は許容できても、中央部は許容できない。色でいうならば、視覚上赤、緑、青の内一番明るい緑の輝点許容数は厳しいなど制限がある。さらに、2画素電極、3画素電極にまたがる欠陥であるならば、なおさら許容し難くなる。このような場合、欠陥箇所が明確であると、レーザー照射により容易に欠陥を修正できる。その一方、欠陥が特定できないため、修正できない場合の方が多い。

【0007】しかしながら、ゲート配線上にTFTが構成されていると、輝点となっている画素電極につながっているTFTのソース電極とゲート配線、ドレイン電極とゲート配線との間で切断ができず、ソース電極とドレイン電極を導通させることができないため、欠陥を修正することができない。

【0008】本発明は、ゲート配線上にTFTが構成されているアクティブマトリクス型液晶表示装置において、輝点となっている欠陥を容易に修正できる構成およびその修正方法を提供するものである。

【0009】

【課題を解決するための手段】請求項1記載の液晶表示装置は、基板上に設けられた複数の走査配線と、前記走査配線と直交するように構成された複数の信号配線

と、前記走査配線と信号配線との交差部近傍にスイッチング素子とが設けられ、画素電極が前記スイッチング素子のドレイン電極に接続されたアクティブマトリクス型液晶表示装置において、前記走査配線と信号配線との交差部で、前記信号配線を挟んで両側の領域に、開口部を有する前記走査配線が形成され、前記開口部は絶縁膜に覆われ、前記絶縁膜に覆われた前記開口部の領域には、前記スイッチング素子の一部または前記信号配線に覆われている箇所が存在することを特徴とする。

【0010】請求項2記載の欠陥修正方法は、請求項1記載のアクティブマトリクス型液晶表示装置において、スイッチング素子の特性不良、またはスイッチング素子近傍の前記走査配線と信号配線との交差部で欠陥が生じたとき、または前記信号配線と画素電極との間で欠陥が生じたとき、前記開口部の前記スイッチング素子側の領域にある前記走査配線を、前記開口部の両側で切断し、前記切断された走査配線を介して、前記信号配線と前記画素電極を接続することを特徴とする。

【0011】請求項3記載の欠陥修正方法は、請求項1記載のアクティブマトリクス型液晶表示装置において、非スイッチング素子側で前記走査配線と前記信号配線との交差部で欠陥が生じたとき、前記開口部の前記非スイッチング素子側の領域にある前記走査配線を、前記開口部の両側で切断することを特徴とする。

【0012】上記構成による作用を説明する。請求項1記載の液晶表示装置の構成によれば、工程内でのダスト、製造装置の精度により起こるTFTの特性不良、またはTFT近傍のゲート配線とソース配線との交差部でのリークが生じたとき、またはソース配線と画素電極との間で欠陥が生じたとき、画素電極に正常な信号が伝わらなくて、黒画面、単色画面にて輝点となる画素電極を修正することにより、その画素電極が正常なソース配線の信号と連動させ、輝点という状態を解除できる。

【0013】請求項2の欠陥修正方法によれば、TFTの特性不良、またはTFT近傍のゲート配線とソース配線との交差部で欠陥（S-Gリーク）が生じたとき、またはソース配線と画素電極との間で欠陥が生じたとき、TFTを有するゲート配線の開口部の上側で、その画素電極のTFTを挟むように、開口部の上側の両側2箇所にてレーザー照射を行い、ゲート配線を切断する。さらに、そのTFTのソース電極、ドレイン電極をそれぞれ切断されたゲート配線を介して、レーザー照射にて溶接して、導通させる。これで、ソース配線が、切断されたゲート配線を介して、画素電極と接続されることになる。従って、その画素電極はソース信号と連動するため、黒画面、単色画面では輝点となって見えることはなくなる。

【0014】請求項3の欠陥修正方法によれば、TFTから離れた非TFT側のソース配線とゲート配線の交差部で欠陥（S-Gリーク）が生じたとき、非TFT側で

あるゲート配線の開口部の下側で、開口部の下側の両側2箇所にてレーザー照射を行い、ゲート配線を切断する。従って、この修正方法により、この画素電極は正常に動作するため、黒画面、単色画面では輝点となって見えることはなくなる。

【0015】上記の2つの修正方法では、容易に常時輝点となる状態が解除できる。さらにこの修正方法により、例えば欠陥の場所、色、個数、欠陥の連なりなどに関して良品となる基準を満たす可能性が高まり、良品率が向上する。

【0016】

【発明の実施の形態】本発明の実施の形態を図面に基づいて説明する。

（実施形態1）ノーマリーホワイトのアクティブマトリクス型液晶表示装置であるアクティブマトリクス基板の平面図を図1に、図1のX-X断面図を図2、図1のY-Y断面図を図3、図1のZ-Z断面図を図4に示す。

【0017】透明な絶縁性基板9の上に、ゲート配線2とソース配線3が縦横方向に交差するように形成されている。各画素電極4には、これを表示駆動するTFT1が接続されている。TFT1のドレイン電極6と画素電極4が接続され、ソース電極5はソース配線3と接続されている。なお、TFT1はゲート配線2上に形成されている。また、ゲート配線2はソース配線3との交差部付近で開口部20を有している。この開口部20の領域にはTFT1のソース電極5の一部、ソース配線3などが存在している。また、隣接するゲート配線2間には、ゲート配線2と平行に付加容量配線8が形成されている。

【0018】なお、ゲート配線2とソース配線3との交差部付近でゲート配線2が広がっているのは、ゲート配線2の幅を同じようにするために突出させているのであり、容量を減らさず、信号遅延をおこさないようにするために設けている。

【0019】次に、図2に基づいて、TFT1の断面構造およびゲート配線2の開口部20の断面について説明する。ガラスなどの透明な絶縁性基板9の上に、ゲート配線2とソース配線3との交差部付近で開口部20を有するゲート配線2が形成されている。ゲート配線2は、その上に構成されたTFT1のゲート電極を兼ねている。この配設されたゲート配線2を覆って、酸化タンタル（ Ta_2O_5 ）からなる第1のゲート絶縁膜11が形成され、第1のゲート絶縁膜11の上全面を覆って、窒化シリコン（ $SiNx$ ）からなる第2のゲート絶縁膜12が形成されている。第2のゲート絶縁膜12上でゲート配線2の形成位置と一部重なるように真性アモルファスシリコン（以下、 $a-Si(i)$ ）とする）からなる半導体層13が形成されている。半導体層13の中央部には、 $SiNx$ からなるエッチングストップ層15が形成されている。半導体層13のエッチングストップ層15を挟

んで両側上には、 n^+ 型アモルファスシリコン（以下、 $a-Si(n^+)$ とする）からなるコンタクト層14がエッチングストップ層15上で分断されて形成されている。コンタクト層14の一方を覆ってソース配線3およびソース電極5が形成されており、コンタクト層14の他方を覆って、ドレイン電極6が形成され、第2のゲート絶縁膜12上に形成された酸化インジウム・スズ（ITO）からなる画素電極4と接続されている。

【0020】図2にゲート配線2の開口部20のX-X断面を示す。開口部20のX-X断面は、TFT1のソース電極5、ソース配線3、第1および第2のゲート絶縁膜11、12に覆われている。図3にゲート配線2の開口部20のY-Y断面を示す。開口部20のY-Y断面は、ソース配線3、第1および第2のゲート絶縁膜11、12に覆われている。図4にゲート配線2の開口部20のZ-Z断面を示す。開口部20のZ-Z断面は、第1および第2のゲート絶縁膜11、12に覆われている。このように、ゲート配線2の開口部20は場所により、TFT1の一部、ソース配線3、第1および第2のゲート絶縁膜11、12に覆われている。

【0021】上記構造を有するアクティブマトリクス基板の製造方法を図2に基づいて説明する。まず、ガラスなどの透明な絶縁性基板9上に、Taを堆積させて、ゲート配線2とソース配線3との交差部付近で開口部20を有するゲート配線2をパターンニングする。ゲート配線2の表面を陽極酸化して、第1のゲート絶縁膜11を形成する。次に、 $SiNx$ 層を、第2のゲート絶縁膜12、 $a-Si(i)$ 層となる半導体層13およびエッチングストップ層15の順に連続的に被着して、パターンニングして、各層を形成する。このような状態の基板の上に、コンタクト層14となる $a-Si(n^+)$ を被着させ、上記の $a-Si(i)$ とともに、パターンニングし、半導体層13およびコンタクト層14を形成する。

【0022】次に、ITOをスパッタ法で成膜し、パターンニングして、画素電極4を形成する。さらに、Tiをスパッタ法により成膜し、パターンニングして、ソース配線3、ソース電極5およびドレイン電極6を形成する。なお、実施形態1ではエッチングストップ層15を設けた構造としているが、エッチングストップ層15がなくても良い。

【0023】このような構成により、ゲート配線2上にTFT1が構成されているアクティブマトリクス型液晶表示装置において、輝点となっている欠陥を容易に修正できる。

【0024】また、次に説明するように、ゲート配線とソース配線間でのリークを発生し難くするために、ゲート配線を電気化学的手段などによって表面に陽極酸化膜のような膜を形成して不働態化を行い、なおかつ、絶縁膜を形成するという手法が用いられている。しかし本発明により、発生したリーク箇所を容易に回避できること

から、表面を不働態化する必要もなくなるため、プロセスの短縮化が図られ、コスト低減につながる。

【0025】（実施形態2）次に、ノーマリーホワイトのアクティブマトリクス型液晶表示装置である実施形態1において、TFT特性不良、画素電極と信号配線とのリーク、TFT近傍の走査配線と信号配線との交差部で発生するリークなどにより、黒画面、単色画面で輝点となって見える画素電極の欠陥修正方法について図5を用いて説明する。

【0026】上記の輝点を探し、欠陥の画素電極4を特定する。そして、TFT1を有するゲート配線2の開口部20の上側で、その画素電極4のTFT1を挟むように、開口部20の上側の両側2箇所（図5のA）でレーザー照射を行い、A-A間でゲート配線を切断する。この切断されたゲート配線を21とする。さらに、そのTFT1のソース電極5、ドレイン電極6をそれぞれ切断されたゲート配線21を介して、レーザー照射により溶接して、導通させる。開口部20の上側とは、図5のA側の方向である。

【0027】この修正方法では、ソース配線3が切断されたゲート配線21を介して、画素電極4と接続されることになる。従って、その画素電極4はソース信号と連動するため、黒画面、単色画面では輝点となって見えることはなくなる。従って、この修正方法では、容易に常時輝点と状態が解除できる。さらにこの修正方法により、例えば欠陥の場所、色、個数、欠陥の連なりなどに関して良品となる基準を満たす可能性が高まり、良品率が向上する。

【0028】（実施形態3）次に、ノーマリーホワイトのアクティブマトリクス型液晶表示装置である実施形態1において、ソース配線2とゲート配線3の交差部で発生するリークにより、黒画面、単色画面で輝点となって見える画素の欠陥修正方法について、図6を用いて説明する。

【0029】図6に示すように、ゲート配線2とソース配線3の交差部で、開口部20の下側の箇所Cでリークが発生しているために、輝点となっている。この場合、非TFT1側であるゲート配線2の開口部20の下側で、開口部20の下側の両側2箇所（図6のB）でレーザー照射を行い、B-B間でゲート配線を切断する。この切断されたゲート配線を22とする。開口部20の下側とは、図6のB側の方向である。

【0030】この修正方法により、この画素電極4は正常に動作するため、黒画面、単色画面では輝点となって見えることはなくなる。従って、この修正方法では、容易に常時輝点となる状態が解除できる。さらにこの修正方法により、例えば欠陥の場所、色、個数、欠陥の連なりなどに関して良品となる基準を満たす可能性が高まり、良品率が向上する。

【0031】上記の実施形態1から3では、ノーマリー

ホワイトのアクティブマトリクス型液晶表示装置について説明したが、ノーマリーブラックのアクティブマトリクス型液晶表示装置でも、本発明は実施可能である。また、上記の実施形態1から3では、付加容量配線が対向電極に接続されている構造であるが、付加容量が隣のゲート配線とで形成されている構造(Cs on Gate)でも、本発明は実施可能である。

【0032】

【発明の効果】本発明の構成によれば、工程内でのダスト、製造装置の精度により起こるTFTの特性不良、またはTFT近傍のゲート配線とソース配線との交差部でリークが生じたとき、またはソース配線と画素電極との間で欠陥が生じたとき、画素電極に正常な信号が伝わらなくて、黒画面、単色画面にて輝点となる画素電極を、修正することにより、その画素電極が正常なソース配線の信号と連動させ、輝点という状態を解除できる。

【0033】TFTの特性不良、またはTFT近傍のゲート配線とソース配線との交差部で欠陥(S-Gリーク)が生じたとき、またはソース配線と画素電極との間で欠陥が生じたとき、TFTを有するゲート配線の開口部の上側で、その画素電極のTFTを挟むように、開口部の上側の両側2箇所ですレーザー照射を行い、ゲート配線を切断する。さらに、そのTFTのソース電極、ドレイン電極をそれぞれ切断されたゲート配線を介して、レーザー照射にて溶接して、導通させる。これで、ソース配線が、切断されたゲート配線を介して、画素電極と接続されることになる。従って、その画素電極はソース信号と連動するため、黒画面、単色画面では輝点となって見えることはなくなる。

【0034】TFTから離れた非TFT側のソース配線とゲート配線の交差部で欠陥(S-Gリーク)が生じたとき、非TFT側であるゲート配線の開口部の下側で、開口部の下側の両側2箇所ですレーザー照射を行い、ゲート配線を切断する。従って、この修正方法により、この

画素電極は正常に動作するため、黒画面、単色画面では輝点となって見えることはなくなる。

【0035】上記の2つの修正方法では、容易に常時輝点となる状態が解除できる。さらにこの修正方法により、例えば欠陥の場所、色、個数、欠陥の連なりなどに関して良品となる基準を満たす可能性が高まり、良品率が向上する。

【図面の簡単な説明】

【図1】実施形態1のアクティブマトリクス基板の一面素電極の平面図である。

【図2】図1のX-X断面図である。

【図3】図1のY-Y断面図である。

【図4】図1のZ-Z断面図である。

【図5】実施形態2の修正方法を示す図である。

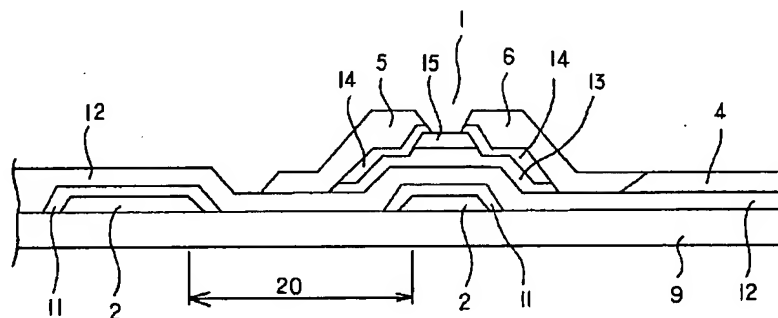
【図6】実施形態3の修正方法を示す図である。

【図7】アクティブマトリクス型液晶表示装置の等価回路図を示す。

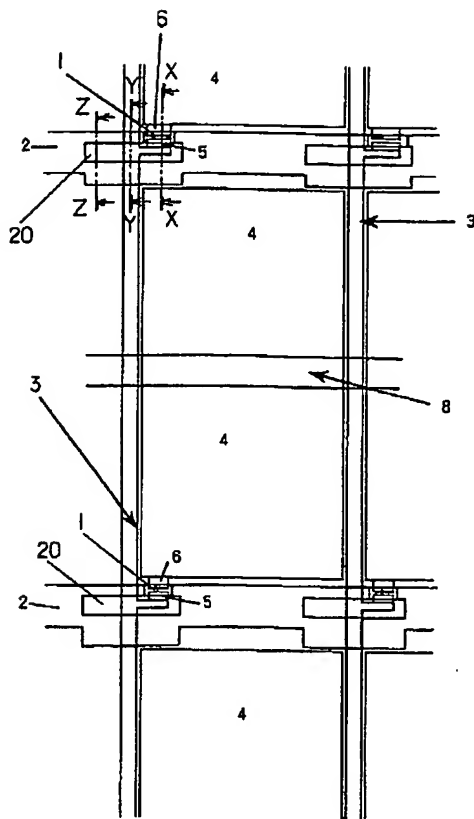
【符号の説明】

- | | | |
|----|------------|-------|
| 1 | TFT | |
| 2 | 21 22 | ゲート配線 |
| 3 | ソース配線 | |
| 4 | 画素電極 | |
| 5 | ソース電極 | |
| 6 | ドレイン電極 | |
| 7 | 付加容量 | |
| 8 | 付加容量配線 | |
| 9 | 絶縁性基板 | |
| 10 | ゲート電極 | |
| 11 | 第1のゲート絶縁膜 | |
| 12 | 第2のゲート絶縁膜 | |
| 13 | 半導体層 | |
| 14 | コンタクト層 | |
| 15 | エッチングストップ層 | |
| 20 | 開口部 | |

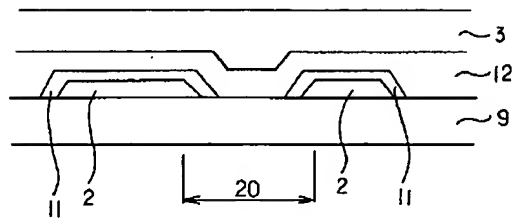
【図2】



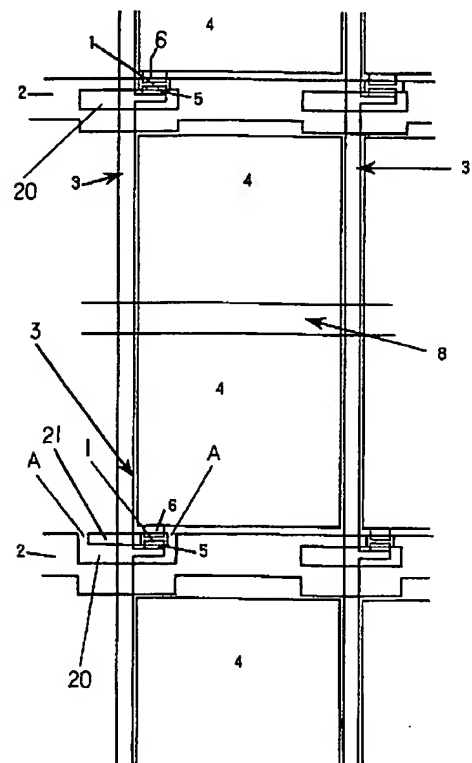
【図1】



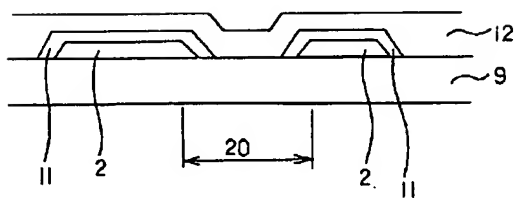
【図3】



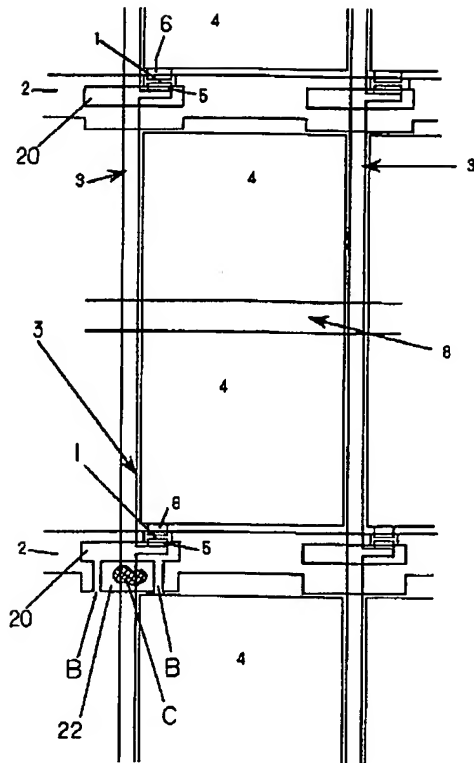
【図5】



【図4】



【図6】



【図7】

